

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Kenji TSUCHIDA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

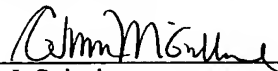
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-399775	November 28, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 1 月 2 8 日
Date of Application:

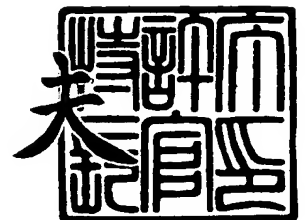
出 願 番 号 特 願 2 0 0 3 - 3 9 9 7 7 5
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 3 9 9 7 7 5]

出 願 人 株式会社東芝
Applicant(s):

2 0 0 4 年 1 月 2 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 A000304854
【提出日】 平成15年11月28日
【あて先】 特許庁長官 殿
【国際特許分類】 G11C 11/00
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエ
 レクトロニクスセンター内
 【氏名】 土田 賢二
【特許出願人】
 【識別番号】 000003078
 【氏名又は名称】 株式会社 東芝
【代理人】
 【識別番号】 100058479
 【弁理士】
 【氏名又は名称】 鈴江 武彦
 【電話番号】 03-3502-3181
【選任した代理人】
 【識別番号】 100091351
 【弁理士】
 【氏名又は名称】 河野 哲
【選任した代理人】
 【識別番号】 100088683
 【弁理士】
 【氏名又は名称】 中村 誠
【選任した代理人】
 【識別番号】 100108855
 【弁理士】
 【氏名又は名称】 蔵田 昌俊
【選任した代理人】
 【識別番号】 100084618
 【弁理士】
 【氏名又は名称】 村松 貞男
【選任した代理人】
 【識別番号】 100092196
 【弁理士】
 【氏名又は名称】 橋本 良郎
【手数料の表示】
 【予納台帳番号】 011567
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

縁に沿って延在する第 1 領域と前記第 1 領域により囲まれた第 2 領域とから構成された半導体基板と、

前記第 2 領域内に配設され、且つ M T J 素子を有する複数のセルから構成された、複数のメモリセルアレイと、

前記第 2 領域内に配設され、且つそれぞれが前記セルからの信号読み出し経路である 1 つのビット線と接続された第 1 端および前記第 1 端の他方の第 2 端とからなる電流通路を有する、複数のゲートトランジスタと、

それぞれが同数個の前記第 2 端と接続された複数のデータバスと、

前記第 2 領域内に配設され、且つ前記複数のデータバスの末端と接続され、且つ前記複数のデータバスの選択された 2 つを第 1 出力端および第 2 出力端に接続する接続制御回路と、

前記第 2 領域内に配設され、且つ前記第 1 出力端および前記第 2 出力端から出力される信号に応じた電位の差を増幅する増幅回路と、

を具備することを特徴とする半導体集積回路装置。

【請求項 2】

半導体基板と、

前記半導体基板の中央に配設され、且つ M T J 素子を有する複数のセルから構成された、複数のメモリセルアレイと、

前記半導体基板上の前記複数のメモリセルアレイの周囲のみに配設された、前記複数のメモリセルアレイのそれぞれに対する複数の周辺機能部と、

を具備し、

前記複数の周辺機能部の少なくとも 1 つは、

それぞれが前記セルからの信号読み出し経路である 1 つのビット線と接続された第 1 端および前記第 1 端の他方の第 2 端とからなる電流通路を有する複数のゲートトランジスタと、

それぞれが同数個の前記第 2 端と接続された複数のデータバスと、

前記複数のデータバスの末端と接続され、且つ前記複数のデータバスの選択された 2 つを第 1 出力端および第 2 出力端に接続する接続制御回路と、

前記第 1 出力端および前記第 2 出力端から出力される信号に応じた電位の差を増幅する増幅回路と、

を含むことを特徴とする半導体集積回路装置。

【請求項 3】

前記複数のセルは、一端を前記 M T J 素子と接続され、且つ他端を接地された選択トランジスタを有することを特徴とする請求項 1 または請求項 2 に記載の半導体集積回路装置。

【請求項 4】

前記メモリセルアレイは、前記選択トランジスタを除くトランジスタを有さないことを特徴とする請求項 3 に記載の半導体集積回路装置。

【請求項 5】

前記複数のセルは、

データを記憶する複数のメモリセルと、

前記データの判定に用いられる参照データを記憶する複数の参照セルと、

を含むことを特徴とする請求項 1 または請求項 2 に記載の半導体集積回路装置。

【請求項 6】

前記複数のゲートトランジスタは、

前記メモリセルからの信号読み出し経路である 1 つのビット線と接続された複数のデータゲートトランジスタと、

前記参照セルからの信号読み出し経路である 1 つの参照ビット線と接続された複数の参

照データゲートトランジスタと、

を含むことを特徴とする請求項 5 に記載の半導体集積回路装置。

【請求項 7】

前記複数の参照データゲートトランジスタは、それぞれが前記複数のデータバスの 1 つに接続されることを特徴とする請求項 6 に記載の半導体集積回路装置。

【請求項 8】

前記複数の参照セルは、

“0” データを記憶する第 1 参照セルと、

“1” データを記憶する第 2 参照セルと、

を含むことを特徴とする請求項 7 に記載の半導体集積回路装置。

【請求項 9】

前記接続制御回路は、

前記第 1 参照セルと選択的に接続される前記複数のデータバスの 1 つの第 1 データバス、および前記第 2 参照セルと選択的に接続される前記複数のデータバスの 1 つの第 2 データバス、をともに前記第 1 出力端と接続するとともに、

前記メモリセルの 1 つの第 1 メモリセルと選択的に接続される前記複数のデータバスの 1 つの第 3 データバスを前記第 2 出力端と接続する、

機能を有することを特徴とする請求項 8 に記載の半導体集積回路装置。

【請求項 10】

前記増幅回路は、前記第 1 出力端および前記第 2 出力端から供給された信号を前記信号に応じた所定の電位にクランプするクランプ回路部を含むことを特徴とする請求項 9 に記載の半導体集積回路装置。

【請求項 11】

前記接続制御回路は、第 3 出力端をさらに具備し、且つ前記第 1 メモリセルと同じアドレスにより選択される第 2 メモリセルと選択的に接続される前記複数のデータバスの 1 つの第 4 データバスを前記第 3 出力端と接続する機能をさらに有し、

前記増幅回路は、前記第 1 出力端および前記第 2 出力端から出力される信号に応じた電位の差を増幅する第 1 部分と、前記第 1 出力端および前記第 3 出力端から出力される信号に応じた電位の差を増幅する第 2 部分と、を有する、

ことを特徴とする請求項 9 に記載の半導体集積回路装置。

【請求項 12】

前記増幅回路は、前記第 2 領域内に配設された、前記第 1 出力端、前記第 2 出力端、および前記第 3 出力端から供給された信号を前記信号に応じた所定の電位にクランプするクランプ回路部をさらに具備することを特徴とする請求項 11 に記載の半導体集積回路装置。

【請求項 13】

前記接続制御回路は、前記複数のデータバスから供給された信号を、前記信号に応じた所定の電位にクランプするクランプ回路部を含むことを特徴とする請求項 11 に記載の半導体集積回路装置。

【書類名】明細書**【発明の名称】半導体集積回路装置****【技術分野】****【0001】**

本発明は、半導体集積回路装置に関し、例えば、磁気ランダムアクセスメモリの読み出し回路方式に関する。

【背景技術】**【0002】**

磁気ランダムアクセスメモリ (Magnetic Random Access Memory) のセルは、図18に示すように、MTJ (Magnetic Tunnel Junction) 素子MTJと、一端がMTJ素子と接続され、他端がグランド電位線と接続された選択トランジスタTrから構成される。MTJ素子は、2枚の強磁性体層と、これらに挟まれた絶縁層とからなる積層構造を有し、スピン偏局トンネル効果による磁気抵抗の変化を利用して、情報を記録する。MTJ素子MTJへの情報の書き込みは、MTJ素子MTJを交差点として直交するビット線BLおよび書き込みワード線WWLが合成磁界により2枚の強誘電体層の相対的なスピンの向きを変えることにより行われる。選択トランジスタTrのゲートには、セルを選択するための読み出しワード線RWLが接続される。

【0003】

図19は、従来のMRAMの主要部の構成を示す図である。ビット線BL0～BL3、RBL0、RBL1と、ワード線WL0～WL3の各交点に設けられたセルのうち、破線で囲まれたものが参照セル、その他が、メモリセルである。メモリセルMCから読み出された読み出し電位、および参照電位発生用の参照セルRMCから読み出された参照電位は、電流コンベヤーCCにより電圧に変換され、2つの電圧がセンスアンプSAにより比較増幅される。

【0004】

参照電位読み出しバスRDBには、2つの読み出しゲートトランジスタRQが接続されている。これは、それぞれの読み出しゲートトランジスタと接続された参照セルRMCに記憶された“0”情報と“1”情報とを合わせることにより、2値の中間の値の参照電位を生成するためである。一方、読み出しデータバスDBには、メモリの容量に応じた数の読み出しゲートトランジスタQが接続され、その数（総ゲート幅）は、読み出しゲートトランジスタRQと異なる。したがって、これらトランジスタQ、RQのPN接合リーク電流およびチャネルリーク電流の総量、ひいてはCR時定数が読み出しデータバス線DB、RDBの間で異なる。よって、電流コンベヤーCCにおける電圧変換速度が読み出しデータバス線DB、RDBの間で異なり、特にセンス増幅の初期の段階でセンス増幅が正常に行われないことに起因して、誤った出力Voutが出力されることがある。この結果、読み出しマージンが低下する。

【0005】

この出願の発明に関連する先行技術文献情報としては次のものがある。

【特許文献1】特開2002-222589号公報

【特許文献2】米国特許第6,445,612号明細書

【非特許文献1】Roy Scheuerlein et al., A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell, 「2000 ISSCC Digest of Technical Papers」, (米国), 2000年2月, p.128-129

【発明の開示】**【発明が解決しようとする課題】****【0006】**

本発明は、上記事情に鑑みてなされたものであり、その目的とするところは、高い読み出しマージンを確保できる半導体集積回路装置を提供しようとするものである。

【課題を解決するための手段】**【0007】**

本発明の第1の視点による半導体集積回路装置は、縁に沿って延在する第1領域と前記第1領域により囲まれた第2領域とから構成された半導体基板と、前記第2領域内に配設され、且つMTJ素子を有する複数のセルから構成された、複数のメモリセルアレイと、前記第2領域内に配設され、且つそれぞれが前記セルからの信号読み出し経路である1つのビット線と接続された第1端および前記第1端の他方の第2端とからなる電流通路を有する、複数のゲートトランジスタと、それぞれが同数個の前記第2端と接続された複数のデータバスと、前記第2領域内に配設され、且つ前記複数のデータバスの末端と接続され、且つ前記複数のデータバスの選択された2つを第1出力端および第2出力端に接続する接続制御回路と、前記第2領域内に配設され、且つ前記第1出力端および前記第2出力端から出力される信号に応じた電位の差を増幅する増幅回路と、を具備することを特徴とする。

【0008】

本発明の第2の視点による半導体集積回路装置は、半導体基板と、前記半導体基板の中央に配設され、且つMTJ素子を有する複数のセルから構成された、複数のメモリセルアレイと、前記半導体基板上の前記複数のメモリセルアレイの周囲のみに配設された、前記複数のメモリセルアレイのそれぞれに対する複数の周辺機能部と、を具備し、前記複数の周辺機能部の少なくとも1つは、それぞれが前記セルからの信号読み出し経路である1つのビット線と接続された第1端および前記第1端の他方の第2端とからなる電流通路を有する複数のゲートトランジスタと、それぞれが同数個の前記第2端と接続された複数のデータバスと、前記複数のデータバスの末端と接続され、且つ前記複数のデータバスの選択された2つを第1出力端および第2出力端に接続する接続制御回路と、前記第1出力端および前記第2出力端から出力される信号に応じた電位の差を増幅する増幅回路と、を含むことを特徴とする。

【発明の効果】

【0009】

本発明によれば、高い読み出しマージンを確保できる半導体集積回路装置を提供できる。

【発明を実施するための最良の形態】

【0010】

以下に本発明の実施の形態について図面を参照して説明する。なお、以下の説明において、略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

【0011】

(第1実施形態)

図1は、本発明の第1実施形態に係る半導体集積回路装置のレイアウト図である。図1に示すように、半導体チップC上の中央近傍に複数のメモリセルアレイMCAが設けられている。各メモリセルアレイMCAには、図18に示すようなMTJ素子MTJと選択トランジスタTrとからなる複数のセルおよび、ビット線およびワード線等の配線のみが設けられている。すなわち、その他のスイッチ等は設けられていない。

【0012】

メモリセルアレイMCAが密集する領域の周囲の領域に、メモリセルアレイMCAと独立して、ロウデコーダRD、読み出しゲートトランジスタ群QG、読み出しデータバス群DBG、カラムデコーダCDが設けられる。ロウデコーダRD、読み出しゲートトランジスタ群QG、読み出しデータバス群DBG、カラムデコーダCDは、各メモリセルアレイMCAに対して設けられる。

【0013】

各ロウデコーダRDは、各メモリセルアレイMCAと隣接する位置に設けられ、アドレス信号に応じてワード線(図示せぬ)を駆動する。読み出しゲートトランジスタ群QG、読み出しデータバス群DBG、カラムデコーダCDは、各メモリセルアレイMCAの、ロウデコーダRDと向き合う辺と異なる辺に順に並んで設けられる。読み出しゲートトラン

ジスタ群QGは、メモリセルアレイMCA内のセル（図示せぬ）と、読み出しデータバス群DBGとの間に接続される。カラムデコーダCDは、アドレス信号に応じて読み出しゲートトランジスタ群QG内の読み出しゲートトランジスタ（図示せぬ）をオン、オフし、この結果、所定のセルと読み出しデータバスとが選択的に接続される。

【0014】

読み出しデータバス群DBGの末端は、読み出しデータバスセクタ（接続制御回路）Sと接続される。読み出しデータバスセクタSは、2つの出力端を有し、複数の読み出しデータバスのうちの2つをこれら出力端に選択的に接続する。読み出しデータバスセクタSは、出力端を介して読み出しアンプ部（増幅回路）Aと接続される。読み出しアンプ部Aは、読み出しデータバスセクタSの出力する電流を電圧に変化し、2つの電位差を増幅する。

【0015】

読み出しアンプ部Aは、共通読み出しデータバスGB、ドライバDを介して出力パッドPと接続される。

【0016】

図2は、第1実施形態の一部を詳細に示す図であり、図1のメモリセルアレイMCA、読み出しゲートトランジスタ群QG、読み出しデータバス群DBG、読み出しデータバスセクタS1、読み出しアンプ部Aの内部を示している。図2に示すように、メモリセルアレイMCA内には、マトリックス状に配置されたセルが設けられる。セルは、データを記憶するメモリセル、参照電位（参照データ）を発生するための参照セルとから構成され、ワード線WL0～WL3、ビット線BL0～BL7、RBL00、RBL01、RBL10、RBL11の各交点に設けられる。ビット線（参照ビット線）RBL00、RBL01、RBL10、RBL11と接続された、破線により囲まれたセルが参照セルRMCである。その他のセルがメモリセルMCである。ビット線BL0～BL7は、メモリセルMCからの信号読み出し経路の機能を有する。参照ビット線RBL00、RBL01、RBL10、RBL11は、参照セルRMCからの信号読み出し経路の機能を有する。ビット線RBL00に接続された参照セルと、ビット線RBL01に接続された参照セルとは、互いに相補なデータを保持する。ビット線RBL10と、RBL11に関しても同じである。

【0017】

ワード線WL0～WL3は、図1のロウデコーダRDと接続される。各ビット線BL0～BL7の末端には、MOS（Metal Oxide Semiconductor）トランジスタからなる読み出しゲートトランジスタQ0～Q7の一端が接続される。ビット線RBL00、RBL01、RBL10、RBL11の末端には、MOSトランジスタからなる読み出しゲートトランジスタRQ0～RQ3の一端がそれぞれ接続される。読み出しゲートトランジスタQ0～Q7、RQ0～RQ3は、図1の読み出しゲートトランジスタ群QGを構成する。

【0018】

読み出しゲートトランジスタQ0～Q7のゲートには、カラム選択信号Y0～Y7がそれぞれ供給される。読み出しゲートトランジスタRQ0およびRQ1には、カラム選択信号RY0が供給される。読み出しゲートトランジスタRQ2およびRQ3には、カラム選択信号RY1が供給される。カラム選択信号Y0～Y7、RY0、RY1は、カラムデコーダから供給される。

【0019】

読み出しゲートトランジスタQ0、RQ0、Q4のそれぞれ他端は、読み出しデータバスDB0と接続される。読み出しゲートトランジスタQ1、RQ1、Q5のそれぞれ他端は、読み出しデータバスDB1と接続される。読み出しゲートトランジスタQ2、RQ2、Q6のそれぞれ他端は、読み出しデータバスDB2と接続される。読み出しゲートトランジスタQ3、RQ3、Q7のそれぞれ他端は、読み出しデータバスDB3と接続される。参照セルと接続されるビット線RBL00、RBL01、RBL10、RBL11は、読み出しデータバスDB0～DB3と同数、設けられる。また、各読み出しデー

タバスDB0～DB3に接続される読み出しゲートトランジスタQ0～Q7、RQ0～RQ3の総数は、全て等しい。

【0020】

読み出しデータバスDB0～DB3の末端は、読み出しデータバスセクタS1と接続される。読み出しデータバスセクタS1の出力端PIN、MINは、クランプトランジスタCQ0、CQ1を介して電流コンベヤーCC1に供給される。電流コンベヤーCC1の出力端OUT1、OUT2は、センスアンプSAの反転入力端、非反転入力端にそれぞれ接続される。

【0021】

次に、図2の回路の動作について、図3～図6を参照して説明する。図3は、カラム選択信号Y0またはY4が選択される場合、すなわち読み出しデータバスDB0にデータが読み出される場合の状態を示している。この場合、読み出しデータバスDB2、DB3の対に参照電位が読み出される。すなわち、ワード線WL0～WL3のいずれかが選択された後、カラム選択信号Y0またはY4と、カラム選択信号RY1とが選択される。読み出しデータバスセクタS1は、読み出しデータバスDB0を出力端PINに接続し、読み出しデータバスDB2、DB3を出力端MINに接続する。

【0022】

図4は、カラム選択信号Y1またはY5が選択される場合、すなわち読み出しデータバスDB1にデータが読み出される場合の状態を示している。この場合、読み出しデータバスDB2、DB3の対に参照電位が読み出される。すなわち、ワード線WL0～WL3のいずれかが選択された後、カラム選択信号Y1またはY5と、カラム選択信号RY1とが選択される。読み出しデータバスセクタS1は、読み出しデータバスDB1を出力端PINに接続し、読み出しデータバスDB2、DB3を出力端MINに接続する。

【0023】

図5は、カラム選択信号Y2またはY6が選択される場合、すなわち読み出しデータバスDB2にデータが読み出される場合の状態を示している。この場合、読み出しデータバスDB0、DB1の対に参照電位が読み出される。すなわち、ワード線WL0～WL3のいずれかが選択された後、カラム選択信号Y2またはY6と、カラム選択信号RY0とが選択される。読み出しデータバスセクタS1は、読み出しデータバスDB2を出力端PINに接続し、読み出しデータバスDB0、DB1を出力端MINに接続する。

【0024】

図6は、カラム選択信号Y3またはY7が選択される場合、すなわち読み出しデータバスDB3にデータが読み出される場合の状態を示している。この場合、読み出しデータバスDB0、DB1の対に参照電位が読み出される。すなわち、ワード線WL0～WL3のいずれかが選択された後、カラム選択信号Y3またはY7と、カラム選択信号RY0とが選択される。読み出しデータバスセクタS1は、読み出しデータバスDB3を出力端PINに接続し、読み出しデータバスDB0、DB1を出力端MINに接続する。

【0025】

次に、読み出しデータバスセクタS1について、図7を参照して説明する。図7は、読み出しデータバスセクタS1の回路構成の一例を示している。図7の回路を用いることにより、図3～図6の動作を実現できる読み出しデータバスセクタS1を得られる。図7に示すように、読み出しデータバスセクタS1は、セクタ部とデコーダ部とを有する。セクタ部は、デコーダ部の制御に応じて読み出しデータバスDB0～DB3と出力端PIN、MINとを選択的に接続する。セクタ部は、N型MOSトランジスタQN1～QN8から構成される。

【0026】

読み出しデータバスDB0は、N型MOSトランジスタQN1、QN2の一端と接続される。トランジスタQN1の他端は出力端PINと接続され、トランジスタQN2の他端は出力端MINと接続される。

【0027】

読み出しデータバス DB 1 は、N 型 MOS トランジスタ Q N 3、Q N 4 の一端と接続される。トランジスタ Q N 3 の他端は出力端 M I N と接続され、トランジスタ Q N 4 の他端は出力端 P I N と接続される。

【0028】

読み出しデータバス DB 2 は、N 型 MOS トランジスタ Q N 5、Q N 6 の一端と接続される。トランジスタ Q N 5 の他端は出力端 P I N と接続され、トランジスタ Q N 6 の他端は出力端 M I N と接続される。

【0029】

読み出しデータバス DB 4 は、N 型 MOS トランジスタ Q N 7、Q N 8 の一端と接続される。トランジスタ Q N 7 の他端は出力端 M I N と接続され、トランジスタ Q N 8 の他端は出力端 P I N と接続される。

【0030】

デコーダ部は、アドレス信号に応じてセレクト部を制御し、ナンド回路 ND 1 ～ ND 4 とインバータ I V 1 ～ I V 4 から構成される。ナンド回路 ND 1 には、信号 / Y A 0 (/ は反転信号を表す)、/ Y A 1 が供給される。ナンド回路 ND 1 の出力はインバータ回路 I V 1 を介してトランジスタ Q N 1 のゲートに供給される。Y A 0 は、カラムアドレスの最下位のビットであり、Y A 1 は Y A 0 の 1 つ上位のビットである。信号 Y A 1 は、トランジスタ Q N 2、Q N 3 のゲートに供給される。

【0031】

ナンド回路 ND 2 には、信号 Y A 0、/ Y A 1 が供給される。ナンド回路 ND 2 の出力は、インバータ回路 I V 2 を介してトランジスタ Q N 4 のゲートに供給される。ナンド回路 ND 3 には、信号 / Y A 0、Y A 1 が供給される。ナンド回路 ND 3 の出力は、インバータ回路 I V 3 を介してトランジスタ Q N 5 のゲートに供給される。

【0032】

信号 / Y A 1 は、トランジスタ Q N 6、Q N 7 のゲートに供給される。ナンド回路 ND 4 には、信号 Y A 0、Y A 1 が供給される。ナンド回路 ND 4 の出力は、インバータ I V 4 を介してトランジスタ Q N 8 のゲートに供給される。

【0033】

図 2 の回路において、カラム選択信号 Y 0 および Y 4 を選択するカラムアドレスの最下位の 2 ビットを 0 0 とし、同様に、Y 1 および Y 5 に対して 1 0、Y 2 および Y 6 に対して 0 1、Y 3 および Y 7 に対して 1 1 とする。こうすることによって、カラム選択信号 Y 0 が選択される際、Y A 0 = “0”、Y A 1 = “0” となる。よって、図 7 のデータバスセレクト S 1 のトランジスタ Q N 1 がオンし、読み出しデータバス DB 0 と出力端 P I N が接続される。この結果、ビット線 B L 0 と接続されたメモリセルから出力端 P I N にデータが読み出される。また、トランジスタ Q N 6、Q N 7 がともにオンすることにより、読み出しデータバス DB 2、DB 3 がともに出力端 M I N に接続される。この結果、ビット線 R B L 1 0、R B L 1 1 と接続された参照セル R M C から、“0” データおよび “1” データが読み出され、これらが合算された参照電位が出力端 M I N に読み出される。

【0034】

同様に、例えばカラム選択信号 Y 2 が選択される場合、Y A 0 = “0”、Y A 1 = “1” となる。よって、読み出しデータバス DB 2 が出力端 P I N に接続され、読み出しデータバス DB 0、DB 1 がともに出力端 M I N に接続される。

【0035】

次に、電流コンベヤー C C 1 について、図 8 を参照して説明する。図 8 は、電流コンベヤー C C 1 の回路構成の一例を示している。図 8 に示すように、電流コンベヤー C C 1 は、例えば 3 つの P 型 MOS トランジスタ Q P 1 ～ Q P 3 により構成される。トランジスタ Q P 1 ～ Q P 3 は、全て同じゲート幅を有する。トランジスタ Q P 1 および Q P 2 は、電源電位線 V C C と入力端 I N 1 との間に接続される。入力端 I N 1 は、読み出しデータバスセレクト S 1 の出力端 M I N からの信号が供給される。トランジスタ Q P 1 および Q P 2 の各ゲートは、入力端 I N 1 および出力端 O U T 1 に接続される。

【0036】

トランジスタQP3は、電源電位線VCCと入力端IN2との間に接続される。入力端IN2には、読み出しデータバスセクタS1の出力端PINからの信号が供給される。入力端IN2は、出力端OUT2と接続される。また、トランジスタQP3のゲートは、入力端IN1と接続される。このように、読み出しデータバスセクタS1の出力端MINは、出力端PINに接続されるトランジスタQP3の2倍のゲート幅を有するトランジスタQP1、QP2が接続される。よって、“0”データと“1”データの和の信号電流の平均値に相当する参照電位が出力端OUT1から出力される。

【0037】

次に、センスアンプSAについて、図9を参照して説明する。図9は、センスアンプSAの回路構成の一例を示している。図9に示すように、センスアンプSAは、初段の両差動型のカレントミラー増幅回路と、後段の片作動型のカレントミラー増幅回路と、から構成される。初段のカレントミラー増幅回路において、反転入力端は、一端において電源を供給されるP型MOSトランジスタQP11のゲートに接続される。トランジスタQP11の他端は、N型MOSトランジスタQN11、QN12の各一端に接続されるとともにトランジスタQN11のゲートに接続される。トランジスタQN11の他端と、トランジスタQN12の他端とは相互に接続され、この接続ノードは、N型MOSトランジスタQN13を介して接地される。トランジスタQN13のゲートには、センスアンプSAのイネーブル信号が供給される。

【0038】

非反転入力端は、一端において電源を供給されるP型MOSトランジスタQP12のゲートに接続される。トランジスタQP12の他端は、N型MOSトランジスタQN14、QN15の各一端に接続されるとともに、トランジスタQN15のゲート、トランジスタQN12のゲートに接続される。トランジスタQN14のゲートは、トランジスタQP11とトランジスタQN12との接続ノードに接続される。トランジスタQN14の他端と、トランジスタQN15の他端とは相互に接続され、この接続ノードは、トランジスタQN12とトランジスタQN13との接続ノードに接続される。

【0039】

後段のカレントミラー接続回路において、P型MOSトランジスタQP13は、一端に電源を供給され、他端はN型MOSトランジスタQN16の一端と接続されるとともに自身のゲートに接続される。トランジスタQN16のゲートは、トランジスタQP11とトランジスタQN11との接続ノードに接続され、他端はN型MOSトランジスタQN17を介して接地される。トランジスタQN17のゲートには、イネーブル信号ENが供給される。

【0040】

P型MOSトランジスタQP14は、一端において電源を供給され、他端において、N型MOSトランジスタQN18の一端と接続されるとともに、出力VOU Tが取り出される。トランジスタQP14のゲートはトランジスタQP13のゲートと接続される。トランジスタQN18のゲートはトランジスタQN15のゲートと接続され、他端はトランジスタQN16とトランジスタQN17との接続ノードに接続される。

【0041】

図10は、クランプ用基準電位発生回路を示している。この回路の出力電位が、図2のクランプトランジスタCQ0、CQ1のゲートに供給される。図10に示すように、0.3V~0.5Vの基準バイアス電位VB I A SがオペアンプOPの非反転入力端に供給される。オペアンプOPの出力端は、クランプ用基準電位VCLMPを出力する。

【0042】

負荷用のP型MOSトランジスタQP21は、一端において電源を供給され、他端は自身のゲートと接続されるとともに、制御用のN型MOSトランジスタQN21の一端と接続される。トランジスタQN21のゲートはオペアンプOPの出力端と接続され、他端は、基準抵抗Rを介して接地されるとともに、反転入力端に接続される。

【0043】

図10の回路によれば、クランプ用基準電位 V_{CLMP} は、トランジスタ Q_{N21} と抵抗 R との接続ノード N の電位を基準バイアス電位 V_{BIAS} に等しくするような中間電位に設定される。クランプ用電位 V_{CLMP} を、クランプトランジスタ $CQ0$ 、 $CQ1$ に供給することにより、メモリセル MC の両端に印加される電圧を所望の値にクランプすることができる。この結果、メモリセル MC から読み出される電流のばらつきを抑えることができる。

【0044】

本発明の第1実施形態に係る半導体集積回路装置によれば、複数の読み出しデータバス $DB0 \sim DB3$ のそれぞれにおいて、同数の読み出しゲートトランジスタが接続される。このため、読み出しゲートトランジスタ $Q0 \sim Q7$ 、 $RQ0 \sim RQ3$ に起因して発生する寄生容量の総量が、各読み出しデータバス $DB0 \sim DB3$ の間で等しい。また、各読み出しゲートトランジスタ $Q0 \sim Q7$ 、 $RQ0 \sim RQ3$ の、読み出しデータバス $DB0 \sim DB3$ と反対の端部には、同様の構成（例えば同数直列接続された構成）のセル群が接続される。したがって、各読み出しデータバス $DB0 \sim DB3$ で発生する RC 遅延の値は等しくなり、読み出しデータバス $DB0 \sim DB3$ に読み出された信号電位が電圧に変換される野に要する時間も等しくなる。よって、異なる読み出しデータバス $DB0 \sim DB3$ に読み出された、データと参照データとを用いた場合の読み出し誤差を大幅に低減することができる。

【0045】

また、第1実施形態によれば、メモリセルアレイ MCA 、読み出しゲートトランジスタ $Q0 \sim Q7$ 、 $RQ0 \sim RQ3$ 、読み出しデータバス $DB0 \sim DB3$ 、読み出しデータバスセクタ S 、アンプ部 A に至る経路が直列に形成される。このため、読み出しゲートトランジスタ $Q0 \sim Q7$ 、読み出しデータバス $DB0 \sim DB3$ 、読み出しデータバスセクタ S 、アンプ部 A を含む周辺回路（周辺機能部）を、メモリセルアレイ MCA から独立して、半導体基板 C 上に形成することができる。したがって、メモリセルアレイ MCA 内に周辺回路の一部が設けられた場合に形成される無駄なスペースが形成されないため、メモリセルアレイ MCA の面積を小さく抑えることができる。特に、メモリセルアレイ MCA と周辺回路からなる構成が複数設けられる場合、メモリセルアレイ MCA を半導体基板の中央に集約させ、その周囲に周辺回路を配置することにより、半導体集積回路装置の小型化を実現できる。また、メモリセルアレイ MCA 内に周辺回路の一部が形成されることが無いため、各セルの配置の規則性が乱れることを回避でき、半導体集積回路装置の製造が容易になる。

【0046】

（第2実施形態）

第2実施形態では、1つのアドレス信号に応じて複数のデータが読み出される。図11は、本発明の第2実施形態に係る半導体集積回路装置の一部を詳細に示す図である。全体の構造は、第1実施形態（図1）と同じであり、図11は、図1のメモリセルアレイ MCA 、読み出しゲートトランジスタ群 QG 、読み出しデータバス群 BG 、読み出しデータセクタ S （ $S2$ ）、読み出しアンプ部 A の詳細を示している。

【0047】

図11に示すように、読み出しゲートトランジスタ $Q0$ 、 $Q1$ 、 $Q2$ 、 $Q3$ の各他端は、読み出しデータバス $DB0$ 、 $DB1$ 、 $DB2$ 、 $DB3$ とそれぞれ接続される。読み出しゲートトランジスタ $Q4$ 、 $Q5$ 、 $Q6$ 、 $Q7$ の各他端は、読み出しデータバス $DB0$ 、 $DB1$ 、 $DB2$ 、 $DB3$ とそれぞれ接続される。

【0048】

読み出しゲートトランジスタ $Q0$ 、 $Q1$ のゲートには、カラム選択信号 $Y0$ が供給される。読み出しゲートトランジスタ $Q2$ 、 $Q3$ のゲートには、カラム選択信号 $Y1$ が供給される。読み出しゲートトランジスタ $Q4$ 、 $Q5$ のゲートには、カラム選択信号 $Y2$ が供給される。読み出しゲートトランジスタ $Q6$ 、 $Q7$ のゲートには、カラム選択信号 $Y3$ が供

給される。

【0049】

読み出しデータバスセクタS2は、読み出しデータバスDB0～DB3のいずれか2本をともに出力端MINに接続し、残りの2本を出力端PIN0、PIN1にそれぞれ接続する。

【0050】

出力端PIN0、MIN、PIN1は、クランプトランジスタCQ0、CQ1、CQ2を介して電流コンベヤーCC2に接続される。出力端PIN0、PIN1からの出力に対応する電圧信号OUT3、OUT5は、センスアンプSA0、SA1の非反転入力端にそれぞれ供給される。出力端MINからの出力に対応する電圧信号OUT4は、センスアンプSA0、SA1の各反転入力端に供給される。センスアンプSA0、SA1は、センスアンプSAと同じ構成を有する。

【0051】

次に、図11の回路の動作について、図12、図13を参照して説明する。図12は、カラム選択信号Y0またはY2が選択される場合、すなわち、データバスDB0、DB1にデータが読み出される場合の状態を示している。この場合、読み出しデータバスDB2、DB3の対に参照電位が読み出される。すなわち、ワード線WL0～WL3のいずれかが選択された後、カラム選択信号Y0またはY2と、カラム選択信号RY1とが選択される。読み出しデータバスセクタS2は、読み出しデータバスDB0、DB1を出力端PIN0、PIN1にそれぞれ接続し、読み出しデータバスDB2、DB3を出力端MINに接続する。

【0052】

図13は、カラム選択信号Y1またはY3が選択される場合、すなわち、データバスDB2、DB3にデータが読み出される場合の状態を示している。この場合、読み出しデータバスDB0、DB1の対に参照電位が読み出される。すなわち、ワード線WL0～WL3のいずれかが選択された後、カラム選択信号Y1またはY3と、カラム選択信号RY0とが選択される。読み出しデータバスセクタS2は、読み出しデータバスDB2、DB3を出力端PIN0、PIN1にそれぞれ接続し、読み出しデータバスDB0、DB1を出力端MINに接続する。

【0053】

次に、読み出しデータバスセクタS2について、図14を参照して説明する。図14は、読み出しデータバスセクタS2の回路構成の一例を示している。図14の回路を用いることにより、図12、図13の動作を実現できるデータバスセクタS2を得られる。図14に示すように、トランジスタQN1、QN5の各他端は、出力端PIN0と接続される。トランジスタQN2、QN3、QN6、QN7の各他端は、出力端MINと接続される。トランジスタQN4、QN8の各他端は、出力端PIN1と接続される。

【0054】

トランジスタQN1、QN4、QN6、QN7の各ゲートには、信号/YA1が供給される。トランジスタQN2、QN3、QN5、QN8の各ゲートには、信号YA1が供給される。

【0055】

カラム選択信号Y0またはY2が選択される場合、信号/YA1がハイレベルとなり、この結果、読み出しデータバスセクタS2は、図12と同じ状態を取る。カラム選択信号Y1またはY3が選択される場合、信号YA1がハイレベルとなり、この結果、読み出しデータバスセクタS2は、図13と同じ状態を取る。

【0056】

次に、電流コンベヤーCC2について、図15を参照して説明する。図15は、電流コンベヤーCC2の回路構成の一例を示している。図15に示すように、カレントミラー接続されたP型MOSトランジスタQP31～QP34により構成される。トランジスタQP31～QP34は、全て同じゲート幅を有する。トランジスタQP31、QP32の各

一端は電源電位線VCCと接続される。トランジスタQP31の他端は、入力端IN3および出力端OUT3と接続される。入力端IN3には、出力端PIN0からの信号が供給される。トランジスタQP32の他端は、自身のゲートおよびトランジスタQP31のゲートと接続されるとともに、入力端IN4および出力端OUT4と接続される。入力端IN4には、出力端MINからの信号が供給される。

【0057】

トランジスタQP33、QP34の各一端は、電源電位線VCCと接続される。トランジスタQP33の他端は、自身のゲートおよびトランジスタQP34のゲートと接続されるとともに、入力端IN4および出力端OUT4と接続される。トランジスタQP34の他端は、入力端IN5および出力端OUT5と接続される。入力端IN5には、出力端PIN1からの信号が供給される。

【0058】

本発明の第2実施形態に係る半導体集積回路装置に依れば、第1実施形態と同じ効果を得られる。さらに、第2実施形態によれば、1つのアドレスによって、2ビットのデータを読み出す構成にも対応することができる。

【0059】

(第3実施形態)

第3実施形態は、第2実施形態の変形例であり、読み出しデータバスセクタS3がクランプトランジスタCQ0～CQ2の機能を包含している。図16は、本発明の第3実施形態に係る半導体集積回路装置の一部を詳細に示す図である。全体の構造は、第1実施形態(図1)と同じであり、図16は、図1のメモリセルアレイMCA、読み出しゲートトランジスタ群QG、読み出しデータバス群BG、読み出しデータセクタS(S3)、読み出しアンプ部Aの詳細を示している。動作に関しては、第2実施形態と同じである。

【0060】

図17は、読み出しデータバスセクタS3の回路構成の一例を示している。図17に示すように、トランジスタQN1、QN4の各ゲートは、N型MOSトランジスタQN31の一端およびP型トランジスタQP41の一端に接続される。トランジスタQN31の他端は接地される。トランジスタQP41の他端にはクランプ用基準電位VCLMPが供給される。トランジスタQN31、QP41のゲートには、信号YA1が供給される。

【0061】

トランジスタQN2、QN3の各ゲートは、N型MOSトランジスタQN32の一端およびP型トランジスタQP42の一端に接続される。トランジスタQN32の他端は接地される。トランジスタQP42の他端にはクランプ用基準電位VCLMPが供給される。トランジスタQN32、QP42のゲートには、信号/YA1が供給される。

【0062】

トランジスタQN6、QN7の各ゲートは、N型MOSトランジスタQN33の一端およびP型トランジスタQP43の一端に接続される。トランジスタQN33の他端は接地される。トランジスタQP43の他端にはクランプ用基準電位VCLMPが供給される。トランジスタQN33、QP43のゲートには、信号YA1が供給される。

【0063】

トランジスタQN5、QN8の各ゲートは、N型MOSトランジスタQN34の一端およびP型トランジスタQP44の一端に接続される。トランジスタQN34の他端は接地される。トランジスタQP44の他端にはクランプ用基準電位VCLMPが供給される。トランジスタQN34、QP44のゲートには、信号/YA1が供給される。

【0064】

図17の読み出しデータバスセクタS3によっても、第2実施形態の読み出しデータバスセクタS2と、クランプトランジスタCQ0～CQ2と、による動作と同じ動作を実現できる。

【0065】

本発明の第3実施形態に係る半導体集積回路装置によれば、第2実施形態と同じ効果を得られる。

得られる。

【0066】

なお、第1～第3実施形態において、読み出しデータバスが4本の場合を例に取り説明した。しかしながら、これに限らず、メモリの容量に応じて、ビット線および読み出しデータバスの数を適宜設定することが可能である。

【0067】

その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。

【図面の簡単な説明】

【0068】

【図1】 本発明の第1実施形態に係る半導体集積回路装置のレイアウトを示す図。

【図2】 図1の回路の一部を詳細に示す図。

【図3】 図2の回路の1つの状態を示す図。

【図4】 図2の回路の1つの状態を示す図。

【図5】 図2の回路の1つの状態を示す図。

【図6】 図2の回路の1つの状態を示す図。

【図7】 第1実施形態に係る読み出しデータバスセクタの回路構成の一例を示す図。

。

【図8】 第1実施形態に係る電流コンベヤーの回路構成の一例を示す図。

【図9】 第1実施形態に係るセンスアンプの回路構成の一例を示す図。

【図10】 第1実施形態に係るクランプ用基準電位発生回路の一例を示す図。

【図11】 本発明の第2実施形態に係る半導体集積回路装置の一部を詳細に示す図。

【図12】 図11の回路の1つの状態を示す図。

【図13】 図11の回路の1つの状態を示す図。

【図14】 第2実施形態に係る読み出しデータバスセクタの回路構成の一例を示す図。

【図15】 第2実施形態に係る電流コンベヤーの回路構成の一例を示す図。

【図16】 本発明の第3実施形態に係る半導体集積回路装置の一部を詳細に示す図。

【図17】 第3実施形態に係る読み出しデータバスセクタの回路構成の一例を示す図。

【図18】 MRAMのセルの構成を示す図。

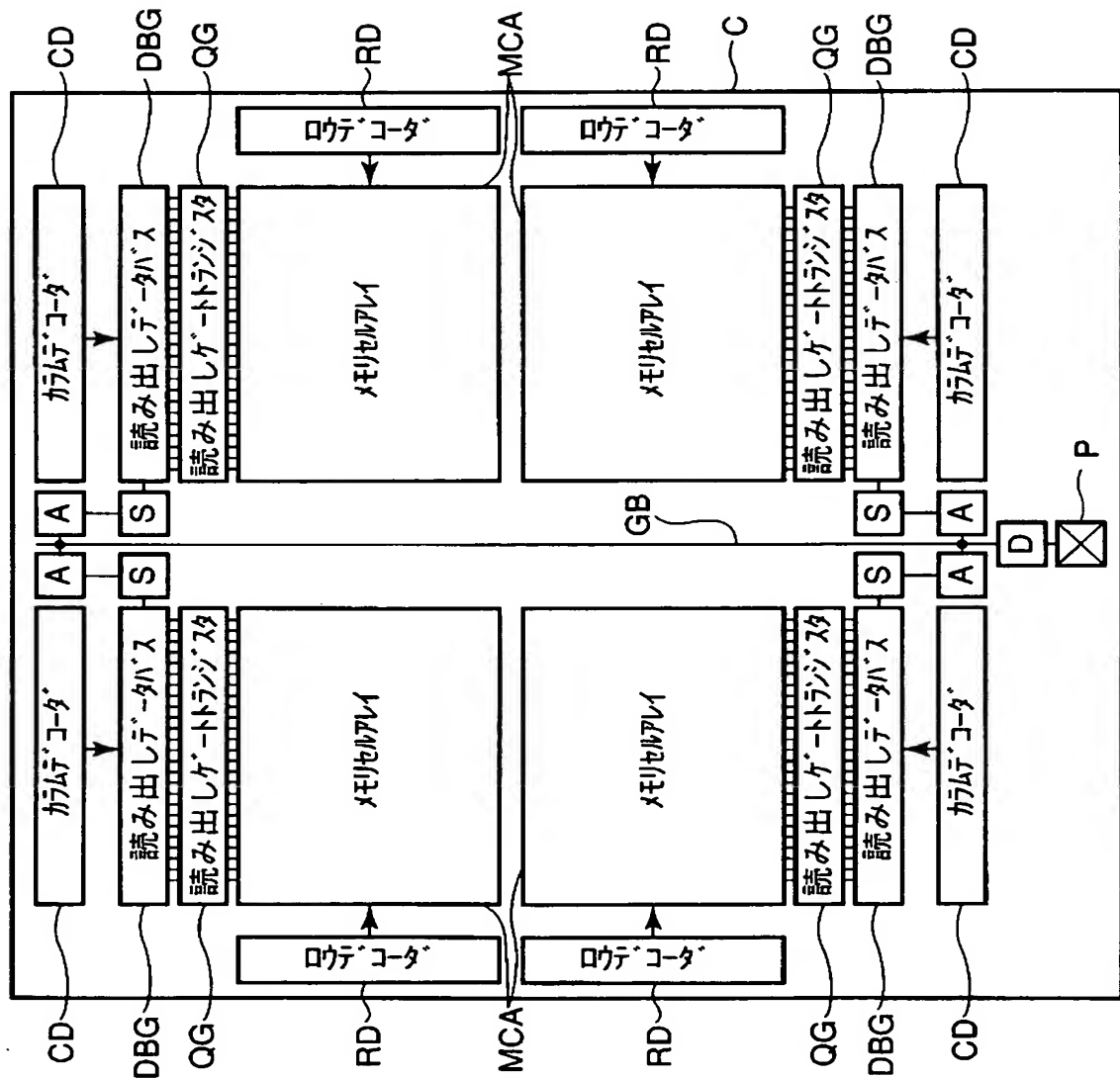
【図19】 従来のMRAMの主要部の構成を示す図。

【符号の説明】

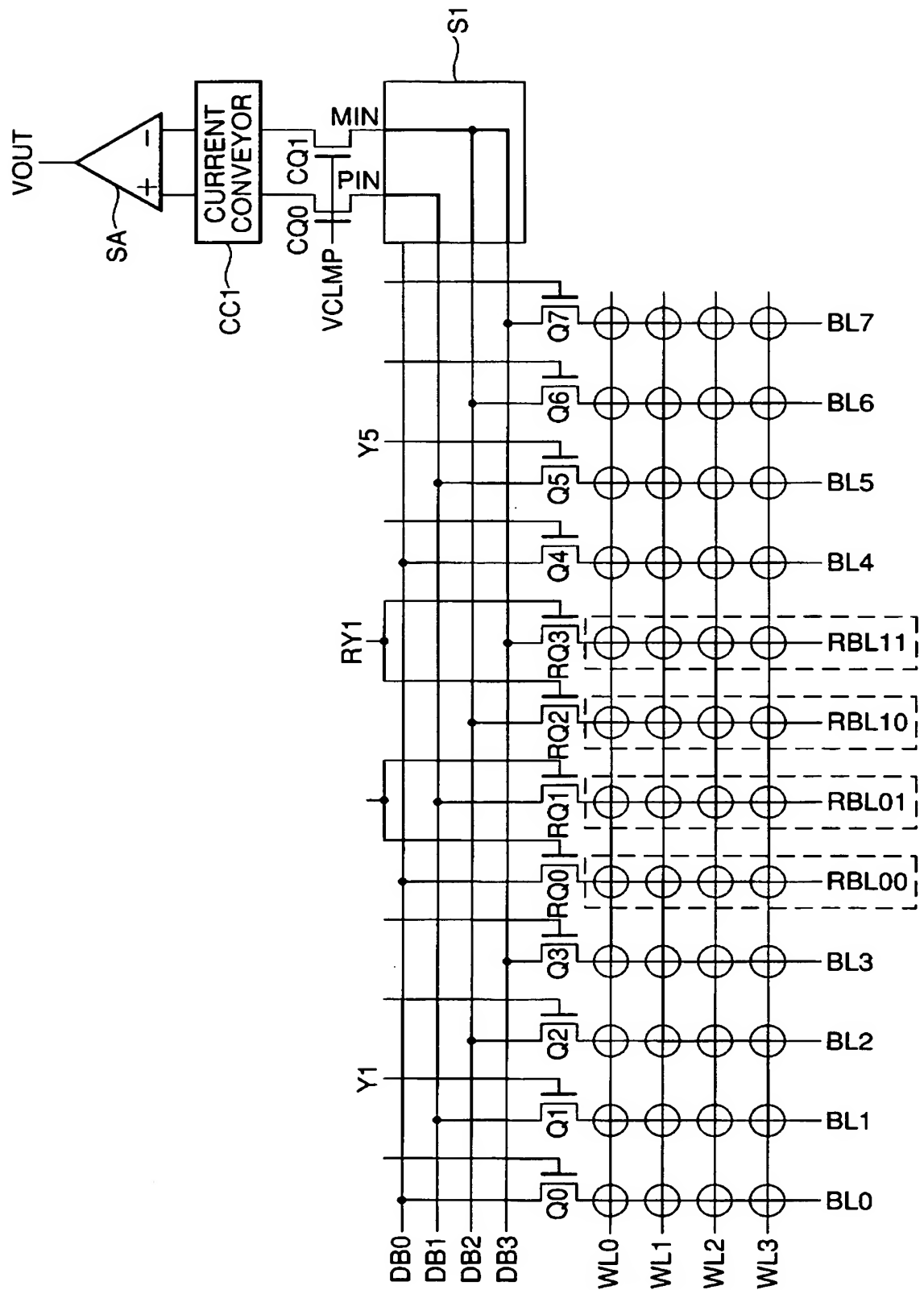
【0069】

C…半導体チップ、MCA…メモリセルアレイ、QG…読み出しゲートトランジスタ群、RD…ロウデコーダ、DBG…読み出しデータバス群、CD…カラムデコーダ、S、S1、S2、S3…読み出しデータバスセクタ、A…アンプ部、GB…共通読み出しデータバス、D…ドライバ、P…出力パッド、WL0～WL3…ワード線、BL0～BL3、RBL00、RBL01、RBL10、RBL11…ビット線、MC…メモリセル、RMC…参照セル、Q0～Q7、RQ0～RQ3…読み出しゲートトランジスタ、DB0～DB3…読み出しデータバス、Y0～Y7、RY0、RY1…カラム選択信号、CQ0～CQ2…クランプトランジスタ、CC1～CC3…電流コンベヤー、SA、SA0、SA1…センスアンプ、QN1～QN8、QN11～QN18、QN21、QN31～QN33、QP1～QP3、QP11～QP14、QP21、QP31～QP34、QP41～QP44…トランジスタ、ND1～ND4…ナンド回路、OP…オペアンプ、R…抵抗素子。

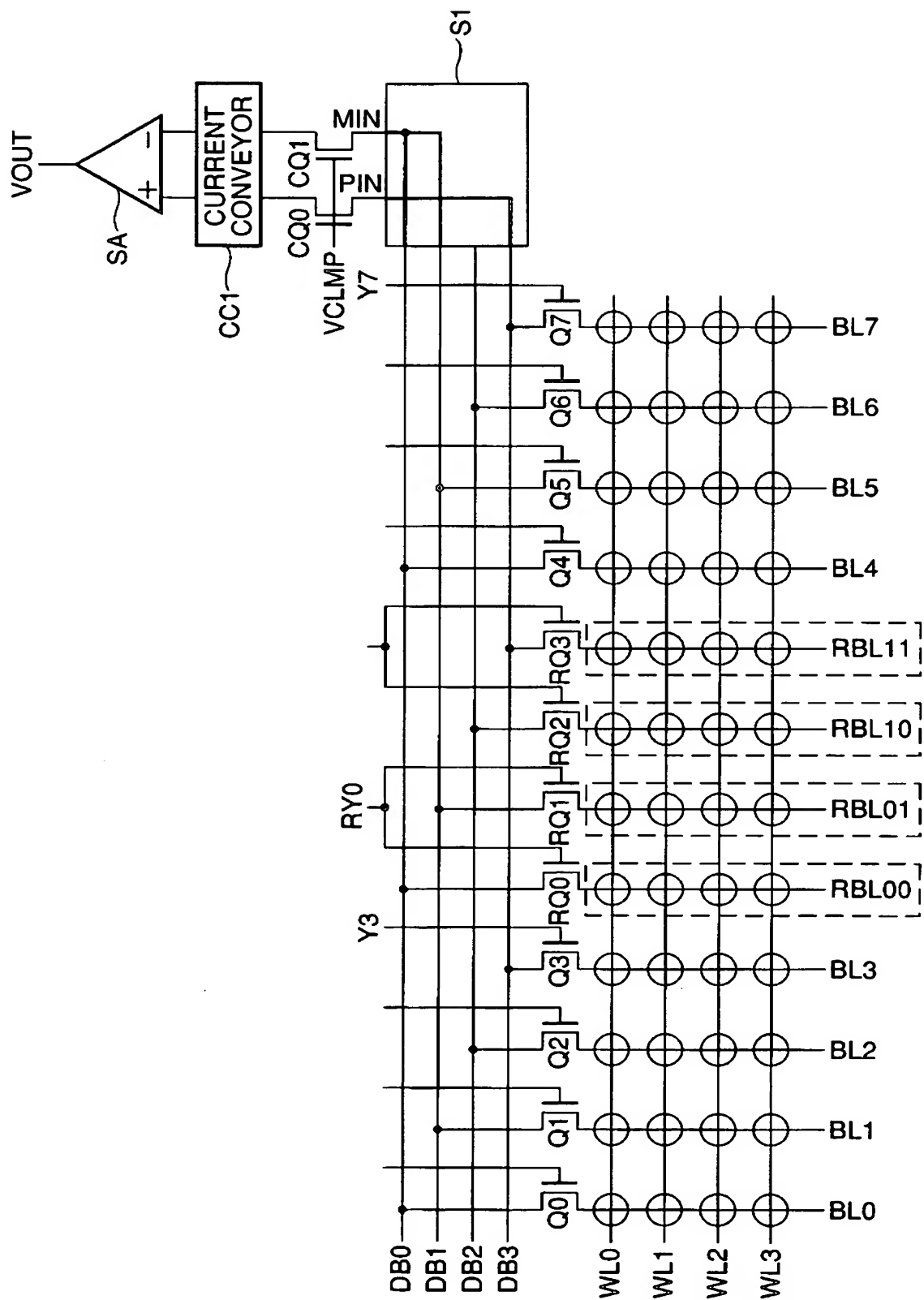
【書類名】 図面
【図 1】



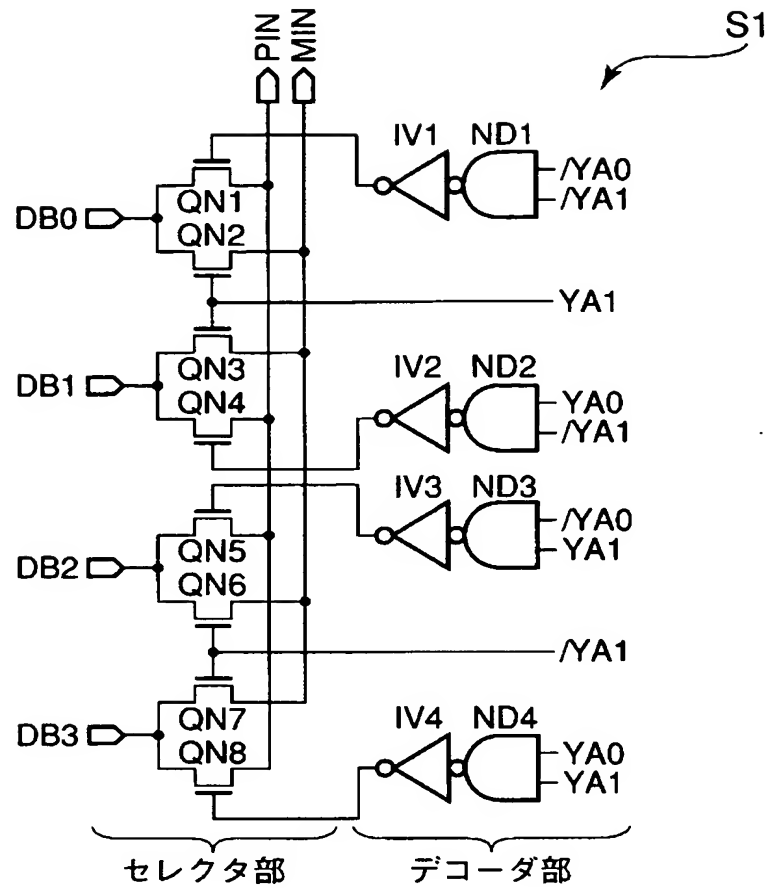
【図 4】



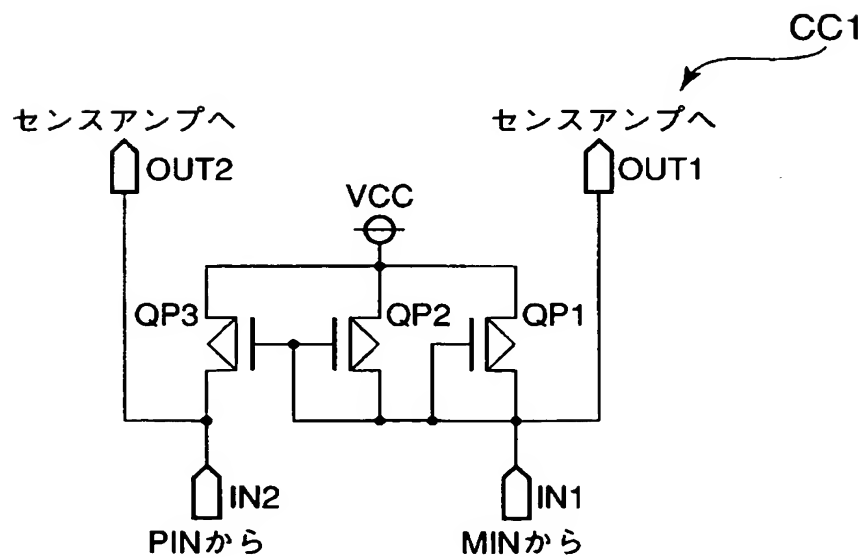
【図 6】



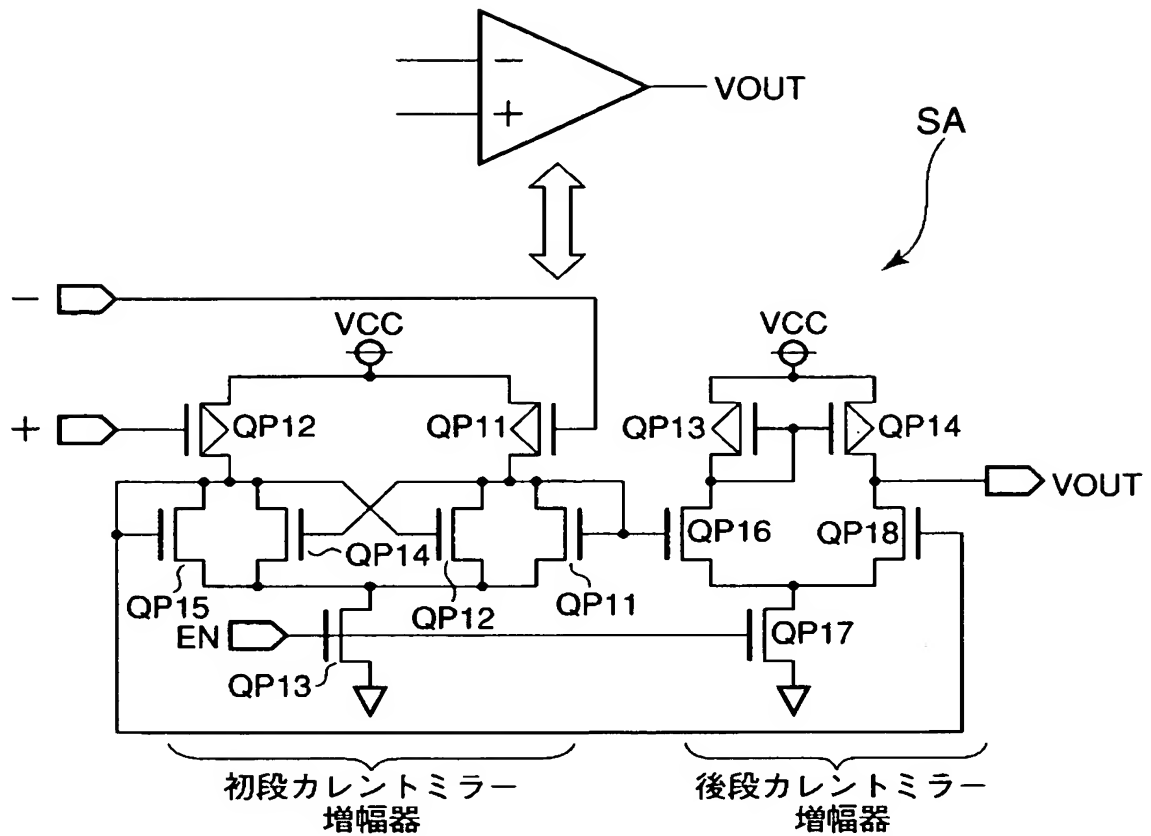
【図 7】



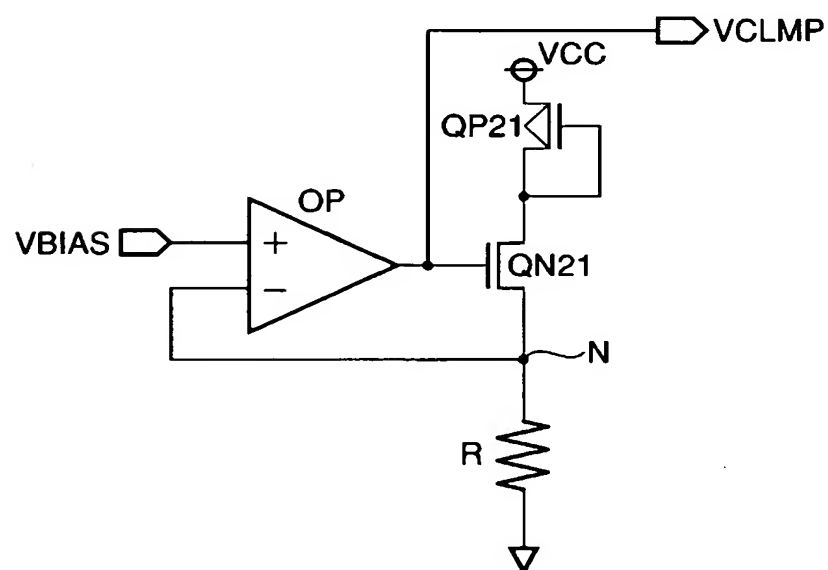
【図 8】



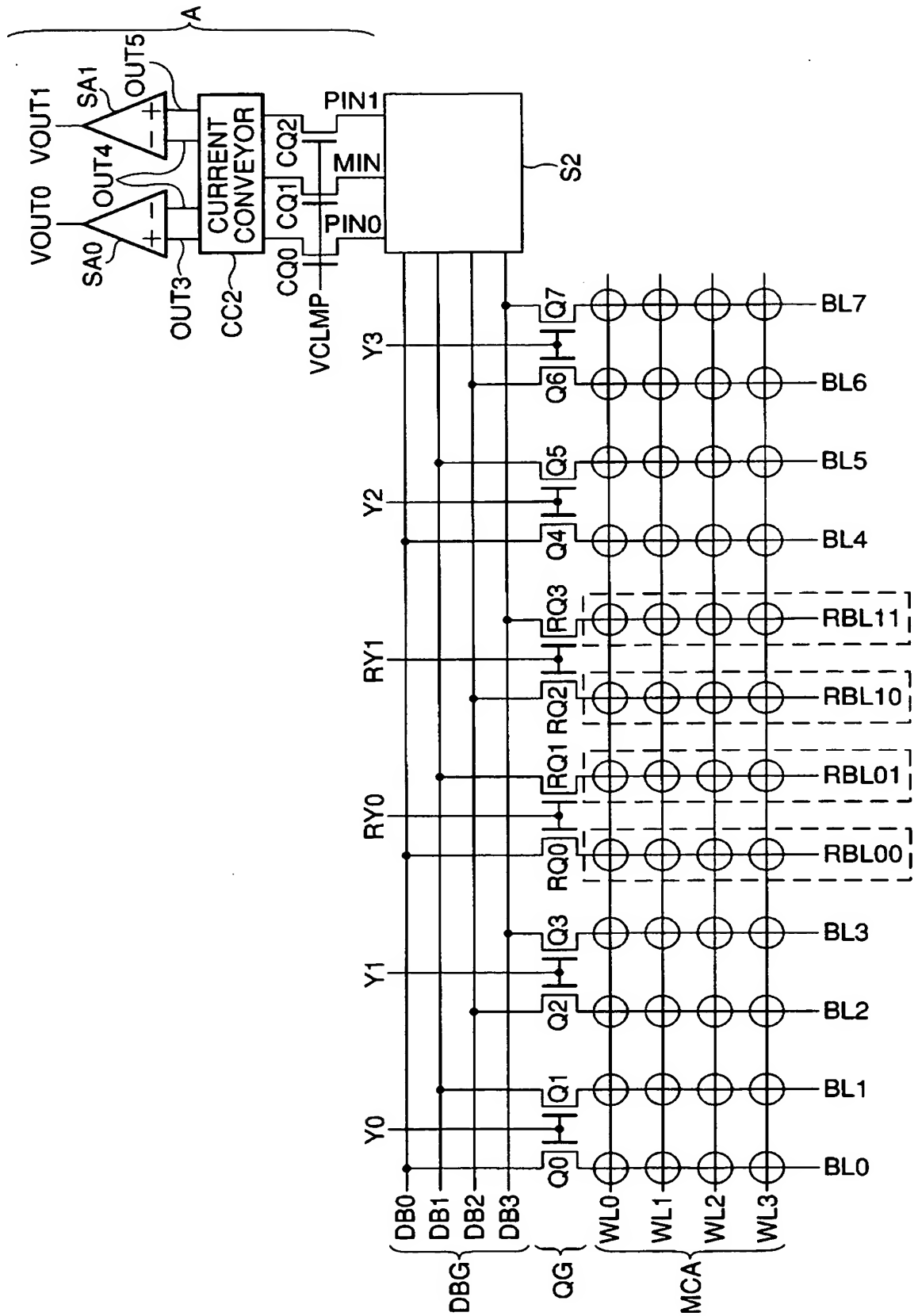
【図 9】



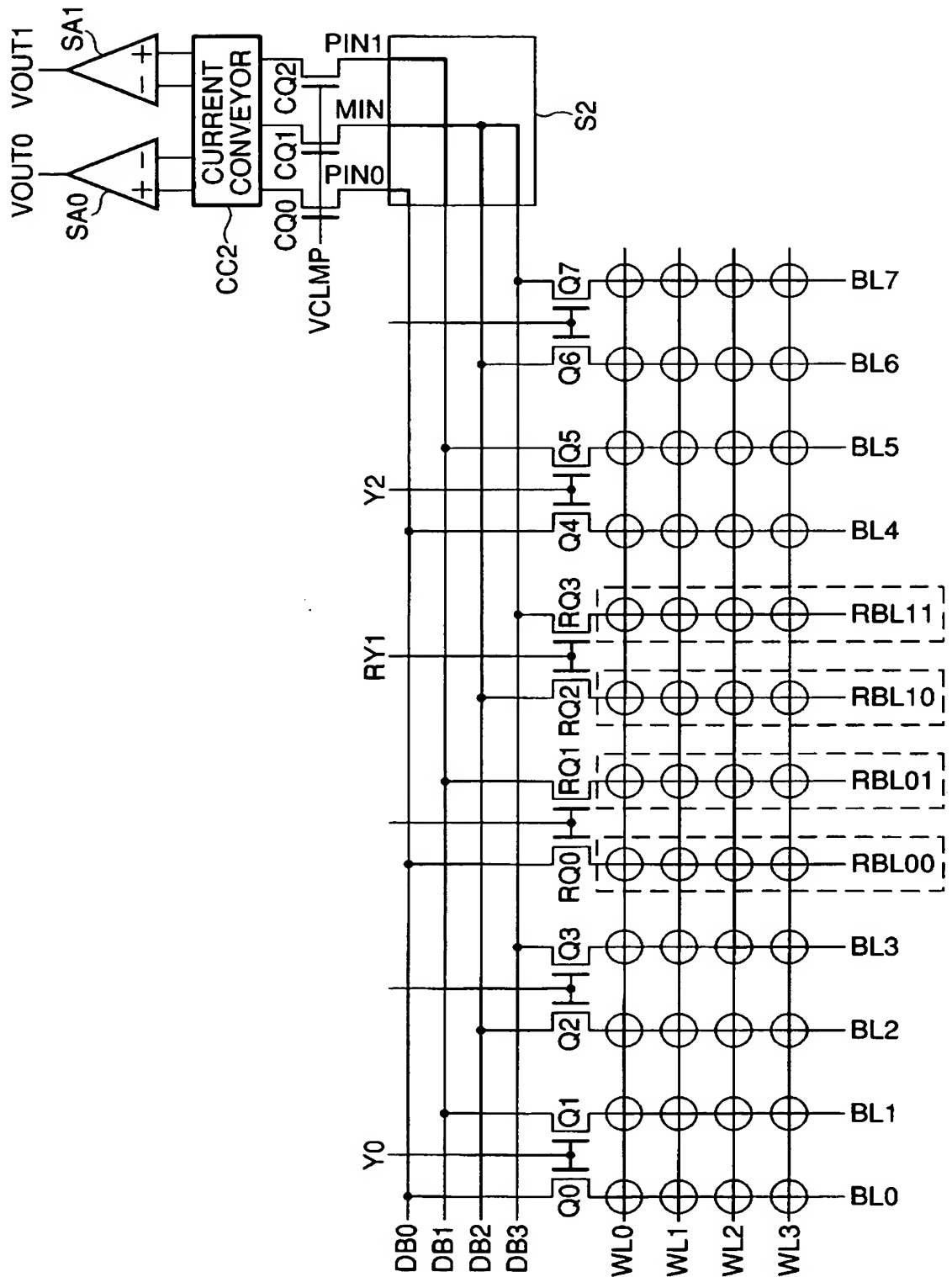
【図 10】



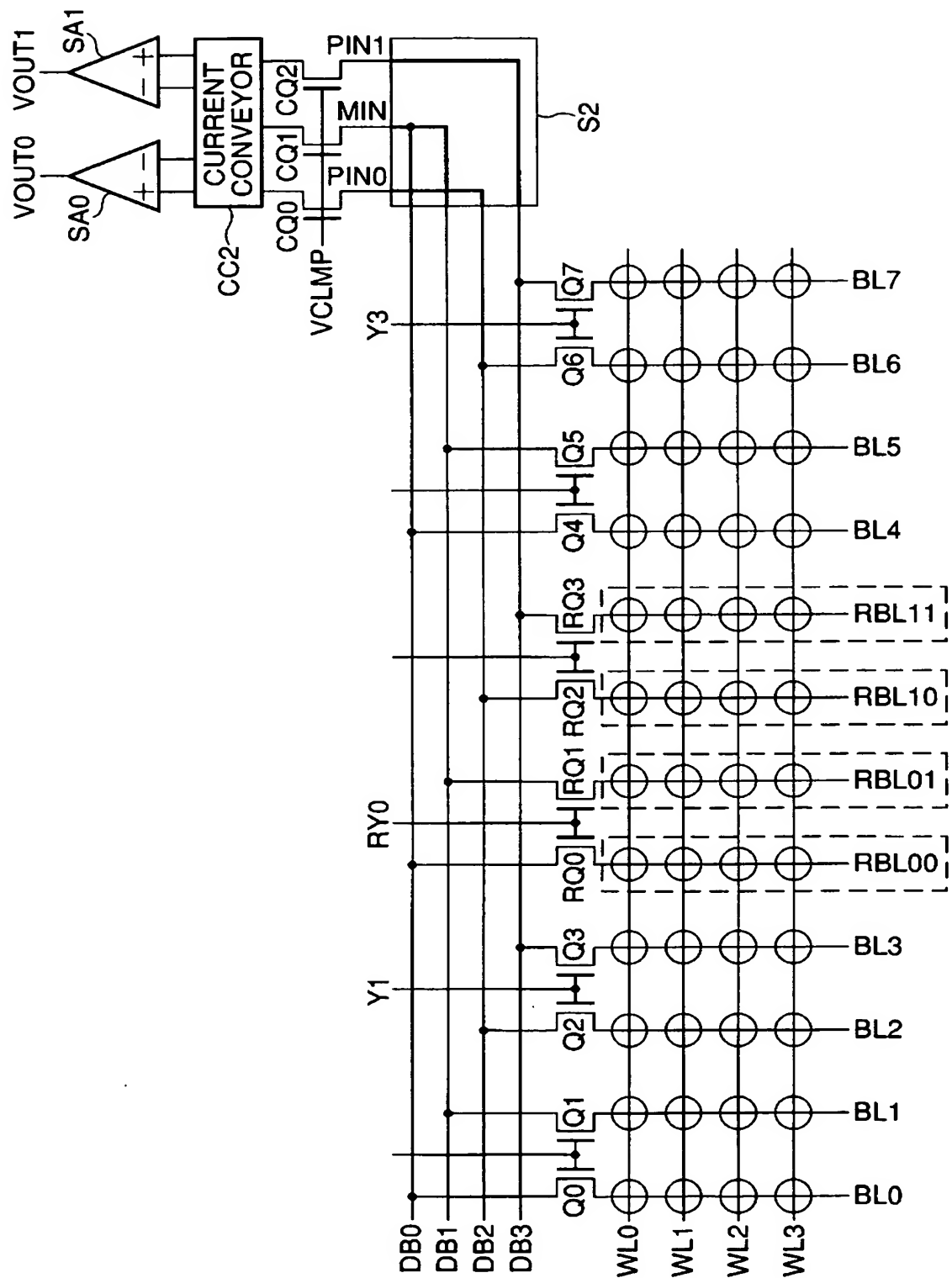
【図 1 1】



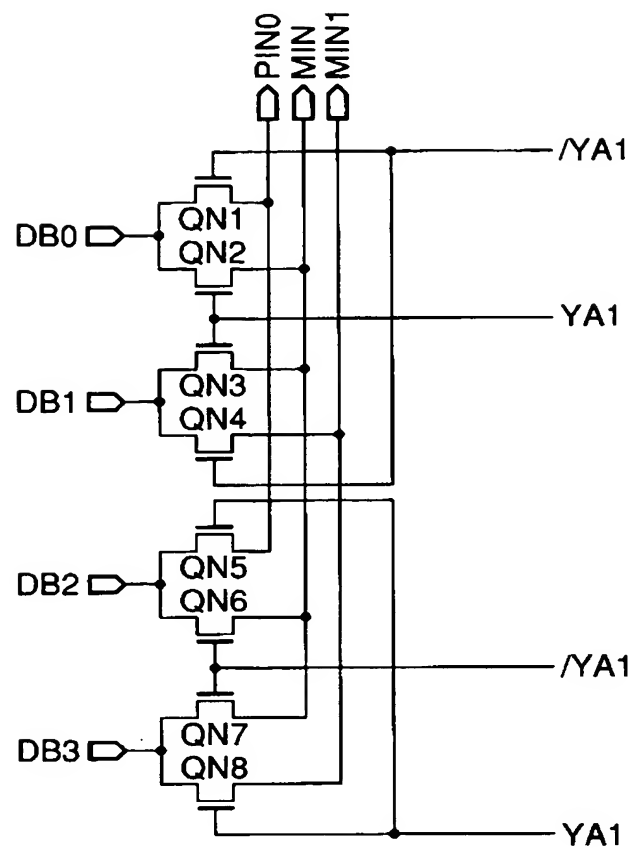
【図 12】



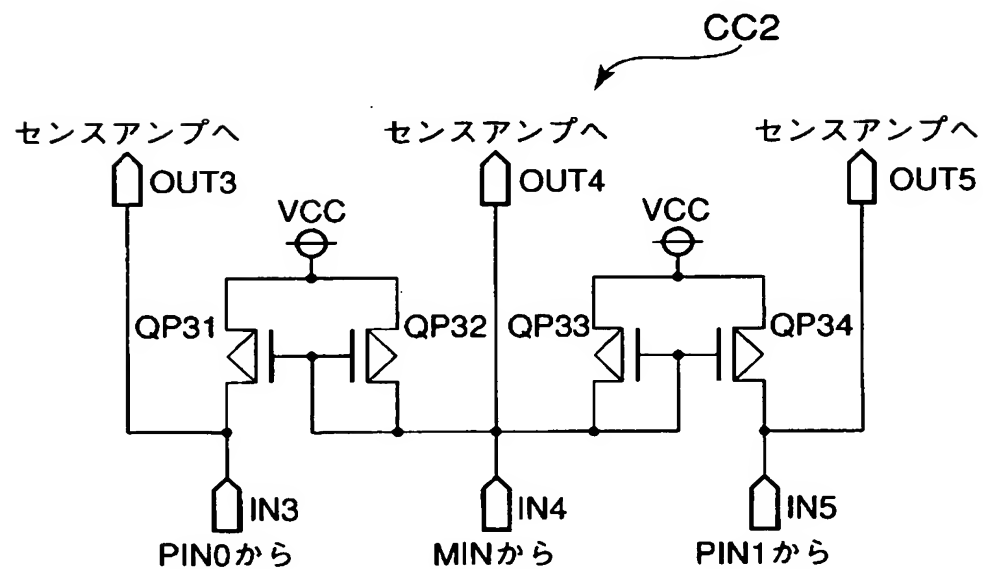
【図 13】



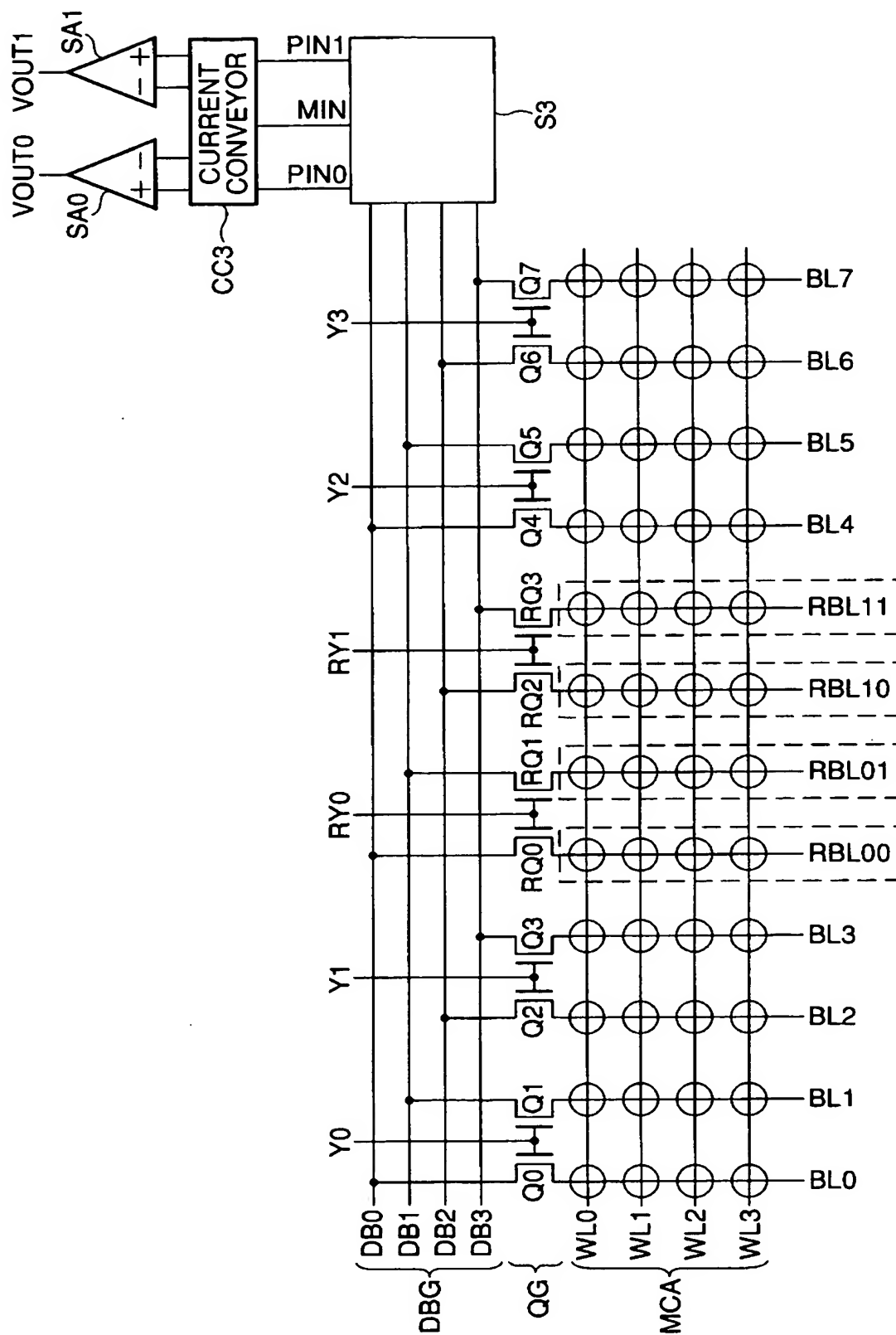
【図 14】



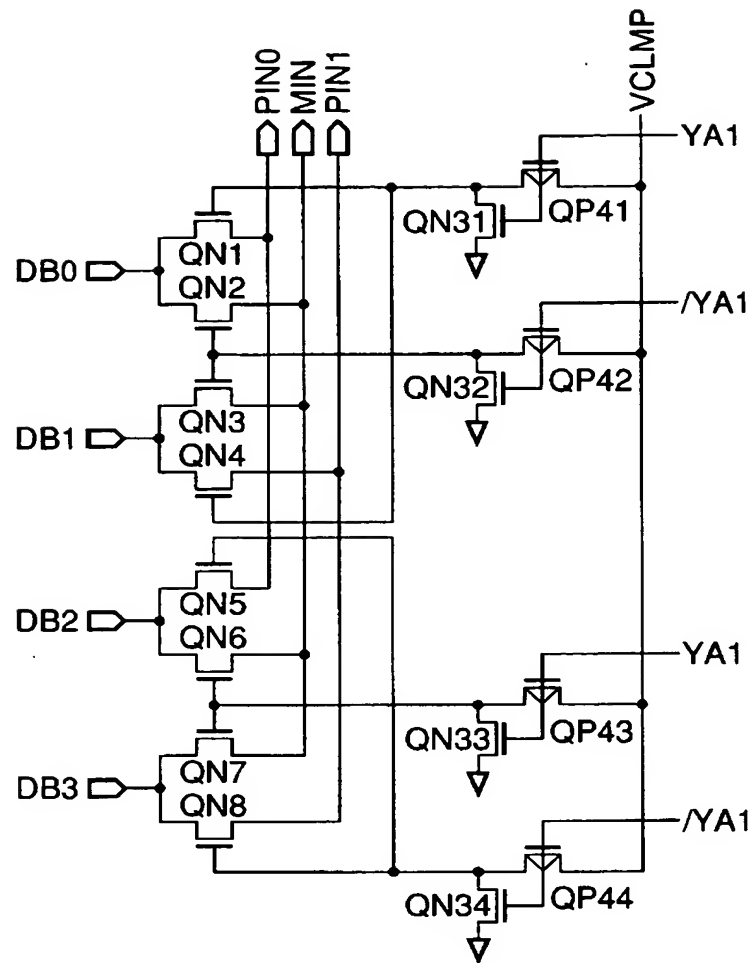
【図 15】



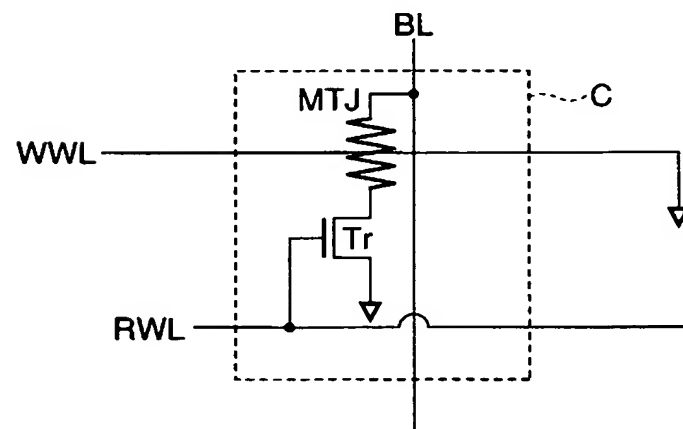
【図 16】



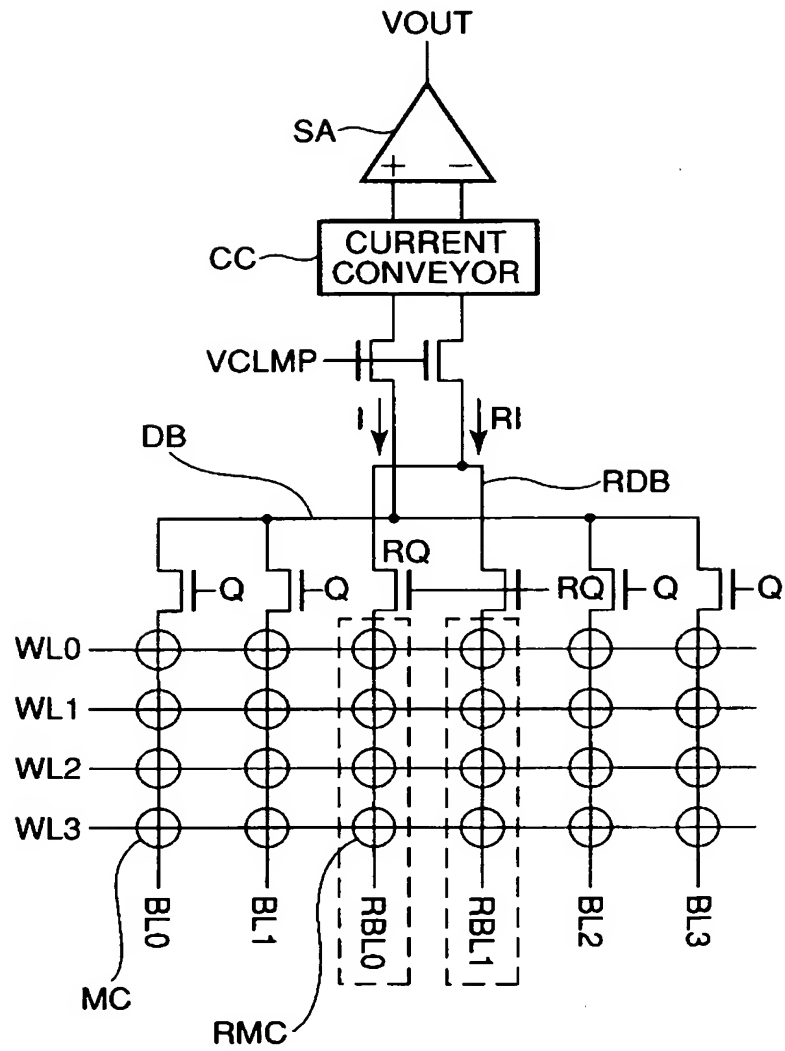
【図 17】



【図 18】



【図 19】



【書類名】 要約書**【要約】**

【課題】 高い読み出しマージンを確保できる半導体集積回路装置を提供する。

【解決手段】 半導体集積回路装置は、縁に沿って延在する第 1 領域と第 1 領域により囲まれた第 2 領域とから構成された半導体基板 C を有する。メモリセルアレイ M C A は、第 2 領域内に配設され、M T J 素子を有する複数のセルから構成される。複数のゲートトランジスタ Q G は、第 2 領域内に配設され、それぞれがセルからの信号読み出し経路である 1 つのビット線と接続された第 1 端および第 1 端の他方の第 2 端とからなる電流通路を有する。複数のデータバス D B G は、それぞれが同数個の第 2 端と接続される。接続制御回路 S は、第 2 領域内に配設され、複数のデータバスの末端と接続され、複数のデータバスの選択された 2 つを第 1 出力端および第 2 出力端に接続する。増幅回路 A は、第 2 領域内に配設され、第 1 出力端および第 2 出力端から出力される信号に応じた電位の差を増幅する。

【選択図】 図 1

特願 2 0 0 3 - 3 9 9 7 7 5

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日	2 0 0 1 年 7 月 2 日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目 1 番 1 号
氏 名	株式会社東芝